

PCT/KR 03/01813

RO/KR 29.09.2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0040538
Application Number

출원 년 월 일 : 2003년 06월 23일
Date of Application JUN 23, 2003

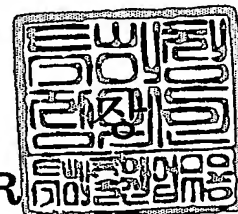
출원인 : 신코엠 주식회사
Applicant(s) SYNCOAM CO., LTD.



2003 년 09 월 29 일

특 허 청
COMMISSIONER

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.06.23
【국제특허분류】 G11C
【발명의 명칭】 디스플레이 패널 구동용 메모리 장치 및 그 구동방법
【발명의 영문명칭】 Memory Circuit for Display Panel Driving and Driving Method Thereof
【출원인】
【명칭】 신코엠 주식회사
【출원인코드】 1-2001-034928-2
【대리인】
【성명】 이철희
【대리인코드】 9-2003-000141-6
【포괄위임등록번호】 2003-037313-9
【발명자】
【성명의 국문표기】 김재운
【성명의 영문표기】 KIM, Jae Woon
【주민등록번호】 671117-1079814
【우편번호】 431-050
【주소】 경기도 안양시 동안구 비산동 1102 관악아파트 133동 1003호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이철희 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 14 항 557,000 원

【합계】	588,000 원
【감면사유】	소기업 (70%감면)
【감면후 수수료】	176,400 원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류[사업자 등록증사본, 원천징수이행상황신 고서사본]_1통

【요약서】**【요약】**

디스플레이 메모리 장치에서 피크전류로 인한 문제점을 최소화할 수 있는 회로구동 방식이 개시된다. 이진정보를 저장하는 메모리 셀 어레이로부터 디스플레이 패널에 전달될 데이터를 읽은 후, 이들을 소오스 데이터 버퍼로 저장할 때 복수 개의 소오스 데이터 버퍼들을 여러 개의 그룹별로 나누어 인에이블 시킨다. 그룹별 인에이블 신호는 하나의 인에이블 신호로부터 파생되어 생성되며 각각 서로 다른 전파지연시간을 갖는다. 그룹별로 지연되어 인에이블되는 소오스 데이터 버퍼들은 소비전류가 분산되어 전체 소오스 데이터 버퍼에서 흐르는 피크전류가 낮아지므로 회로 동작의 신뢰성과 동작속도가 빨라지는 효과가 있다.

【대표도】

도 2

【색인어】

디스플레이, 패널, 데이터, 데이터 버퍼, 지연, 딜레이

【명세서】

【발명의 명칭】

디스플레이 패널 구동용 메모리 장치 및 그 구동방법 {Memory Circuit for Display Panel Driving and Driving Method Thereof}

【도면의 간단한 설명】

도 1은 디스플레이 패널을 구동하는 시스템의 개략적인 블록도이다.

도 2는 본 발명의 제1 실시예를 나타내는 그림이다.

도 3은 본 발명의 제2 실시예를 나타내는 그림이다.

도 4는 본 발명의 제3 실시예를 나타내는 그림이다.

도 5는 동시 인에이블과 지연 인에이블 신호를 갖는 소오스 데이터 버퍼 회로의 시뮬레이션 결과를 비교하여 나타내는 그림이다.

도 6은 지연 인에이블 신호를 생성하는 방법을 나타내는 개략도이다.

*도면의 주요부분에 대한 기호의 설명

100:디스플레이 구동시스템 110:디스플레이 패널 120:소오스구동회로

130:소오스 데이터버퍼 140:메모리 셀어레이 150:게이트구동회로

160:게이트 제어회로 170:디스플레이 로직(logic)제어부

180:메모리 글루로직(logic) 190:소오스 데이터버퍼 제어부

125:소오스 구동출력 135:소오스 데이터출력

155:게이트 구동출력 210:제1전달게이트 220:제2전달게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- 4> 본 발명은 디스플레이 메모리 장치에 관한 것으로서, 좀 더 상세하게는 디스플레이 패널에 영상데이터를 전달하여 영상을 디스플레이할 때 메모리 셀 어레이로부터 전달된 데이터를 임시 저장할 데이터 버퍼의 제어에 관한 회로기술이다.
- 15> 최근 휴대형 통신기기나 노트북, 중대형 단말기 등에서 음극선관을 대체하는 새로운 평판 디스플레이 기술이 적용되고 있다. 이들 가운데 노트북과 같은 중대형 단말기의 모니터에서는 LCD(Liquid Crystal Display)를 많이 사용하고 있다. LCD 모니터는 다른 디스플레이 장치에 비하여 해상도, 칼라 표시, 화질, 그리고 저전력 소비 면에서 경쟁력을 가지고 있다. 이에 비해 유기 전계 발광 소자(Organic Electroluminescence Device: 이하 "유기 EL"이라 칭한다)은 TFT-LCD에 비하여 휘도, 시야각, 응답 속도 및 소비 전력 등에서 우수한 특성을 갖는다. 특히 다른 디스플레이 소자들 보다 우수한 유기 EL의 빠른 응답 속도는 동영상에 필수적인 IMT-2000용 휴대폰에 적합하다. 유기 EL은 형광 또는 인광 효율이 우수한 유기 화합물을 사용하고 있기 때문에 분자 설계 및 합성을 통해 다양한 밴드갭을 갖는 물질을 쉽게 개발할 수 있고, 제작 온도가 낮기 때문에 유리 뿐만 아니라 플라스틱 기판 등에도 제작할 수 있어 발전 가능성이 높다.
- <16> 이러한 다양한 기술을 적용되는 디스플레이 패널에 영상데이터를 디스플레이 하기 위해서는 디스플레이 패널의 종방향, 횡방향으로 고루 나열된 픽셀(pixel)들을 영상 데이터를 이용하여 구동하여야 한다. 패널은 대개 사람의 시야가 가장 편안함을 느끼도록 종방향의 길이보다

횡방향의 길이가 길다. 그러나 휴대폰과 같은 디스플레이 창에서는 종방향의 길이가 횡방향의 그것보다 긴 경우도 있다. 패널의 픽셀들을 횡방향으로 구동하는 회로는 그 특성상 픽셀을 구성하는 트랜지스터의 게이트에 연결된 경우가 많아 게이트(gate) 구동회로라 부른다. 이와는 대비되게 픽셀들을 종방향으로 구동하는 회로는 픽셀 트랜지스터의 소오스(source)에 연결되는 경우가 대부분이므로 소오스 구동회로라 부른다. 게이트 구동회로가 구동하는 부분은 주로 횡방향의 픽셀 어레이를 선택하는데 쓰이고, 소오스 구동회로는 주로 선택된 픽셀의 데이터를 액세스(access)하기 위해 쓰인다.

- 17> 이하, 도 1을 참조하여 일반적인 디스플레이 구동 시스템(100)의 동작을 설명한다. 디스플레이 패널(110)에 전달될 영상데이터는 이진정보의 형태로 메모리 셀 어레이(140)부에 저장되어 있다. 이 데이터는 도 1에 도시된 구동시스템의 외부로부터 로직제어부(170)와 메모리 글루로직(glue logic, 180)을 통해 메모리 셀 어레이(140)에 쓰여진 것이다. 쓰여진 데이터는 반도체 메모리 셀 어레이(140)로부터 읽혀진 다음, 소오스 데이터 버퍼(130)에 전달되어 일시 저장되었다가 소오스 구동회로(120)로 전달된다. 소오스 구동회로(120)로 전달된 데이터는 최종적으로 디스플레이 패널(110)의 픽셀(pixel)을 구동하므로 사람으로 하여금 원하는 이미지를 볼 수 있게 한다. 이러한 종래의 디스플레이 구동 시스템은 여러 개의 반도체 IC 칩을 사용하여 구성하는 것이 일반적이다. 그러나 최근에는 반도체 소자 기술의 발달에 따라 좀 더 많은 기능을 하나의 칩으로 내장하는 추세이므로 이와 같은 시스템을 구성하는 IC 칩의 갯수도 줄어들고 있다.

- <18> 메모리 셀어레이(140)로부터 소오스 데이터 버퍼(130)로의 데이터 전달은 통상적인 메모리 제품, 예를 들면 표준형의 DRAM이나 SRAM과는 다르다. 표준형의 DRAM이나 SRAM에서는 하나의 동작사이클동안 필요한 갯수만큼의 컬럼만이 비트라인의 한쪽 끝에 연결된 컬럼선택 게이트

를 통해 컬럼 어드레스에 의해 선택된 후, 이게이트를 통해 데이터의 입출력이 이루어진다. 반면에 본 발명과 같은 디스플레이 메모리 제품에서는 전술한 컬럼 선택 게이트와 별도의 선택 게이트를 통해 하나의 동작 사이클 동안에 메모리 셀 어레이에 연결된 전 컬럼의 데이터가 동시에 선택되어 소오스 데이터 버퍼(130)로 임시 저장되는 특징이 있다. 이때는 수백 내지 수천 개의 반복적인 회로로 이루어진 소오스 데이터 버퍼(130)가 모두 인에이블되어 동작해야 하므로 많은 전류의 소비가 뒤따른다.

19> 반도체 칩내에서 전술한 바와 같이 단시간에 많은 전류의 소비가 일어나는 경우 여러가지 부작용이 발생한다. 그 가운데 대표적인 것은 피크전류로 인한 접지전압의 상승(ground bounce)현상으로 인해 회로동작의 불안정성 및 동작시간의 지연 등이 증가한다는 점이다. 단시간에 흐르는 동작전류가 커질수록, 즉 피크(peak)치의 전류가 커질수록 이에 비례하여 회로의 접지노드의 전압상승이 일어난다는 것은 잘 알려져 있는 사실이므로 상세한 설명을 하지 아니한다.

20> 전술한 피크전류로 인한 문제점을 해결하기 위한 종래의 방안 가운데 하나는 반도체 메모리 제품에서 출력회로의 스위칭 속도를 늦추는 방법인데, 이는 IEEE, J. of Solid-State Circuits, vol. SC-22 No.5 Oct. 1987호에 "A 21ns 32k ×8 CMOS Static RAM with a Selectively Pumped P-well Array" 라는 제목으로 공개되어 있다.

21> 또한 싱크로너스 디램(SDRAM) 장치에 있어서 카스(CAS) 레이턴시(latency) 정보값에 따른 동작모드마다 서로 달리 조절된 딜레이시간을 갖고 인에이블되는 데이터 버스 센싱부를 구비하여 고주파수에서도 안정한 동작을 수행하게 하는 기술이 대한민국 특허공개공보 특 2001-0047531호(2001.06.15)에 공개되어 있다.

- > 그러나 이와 같은 종래의 기술에서는 전 컬럼의 데이터가 동시에 액세스되지는 않으므로 피크 전류로 인해 발생하는 문제점이 극히 심각하지는 않다. 이에 비해 디스플레이 전용으로 설계된 회로에 있어서는 메모리 셀 어레이의 전 컬럼의 데이터가 한번에 소오스 데이터 버퍼 회로로 전달되므로 전술한 것과 같은 피크전류로 인한 여러가지 문제점이 보다 심각해 진다.

【발명이 이루고자 하는 기술적 과제】

- 23> 따라서, 본 발명의 목적은 전술한 제반 문제점을 해결하기 위한 것으로 소오스 채널 방향으로의 데이터 전달시 발생할 수 있는 피크전류를 최소화하는 회로 구동방식을 제공하는 데 있다.
- 24> 본 발명의 또 다른 목적은 피크전류로 인한 영향이 최소화되어 보다 안정적인 동작과 신호 지연이 최소화되는 회로를 제공하는데 있다.
- 25> 본 발명의 다른 목적은 상기 구동방식에 의해 본 발명의 회로를 사용할 디스플레이 구동 시스템의 신뢰성과 디스플레이될 화면의 안정성을 제공하는 데 있다.

【발명의 구성 및 작용】

- 26> 상기 목적을 달성하기 위하여, 본 발명의 디스플레이 메모리는 이진정보를 정보를 저장하는 래치형의 메모리 셀 어레이; 메모리 셀들과 연결되는 비트-비트바 라인 쌍들; 비트-비트바 라인 쌍들의 한 쪽 끝에 연결되어 상기 메모리 셀들을 액세스(access)하기 위해 스위칭되는 제 1 전달 게이트들; 제 1 전달 게이트들을 2^n (n 은 0을 포함한 양의 정수)단위의 그룹별로 묶어서 스위칭하기 위한 컬럼 어드레스들; 비트-비트바 라인 쌍들의 다른 끝 쪽에 연결되어 메

모리 셀들에 저장된 이진정보를 읽어내기 위해 스위칭되는 제 2 전달게이트들; 및 제 2 전달게이트로부터 데이터를 전달받아 일시 저장하는 소오스 데이터 버퍼를 포함한다.

- 7> 바람직하기로, 제 2 전달 게이트들을 스위칭하기 위해 인가되는 신호들이 몇개씩 그룹별로 묶여서 각 그룹별로 서로 다른 전파지연을 가지는 신호이면 된다. 또한, 제 2 전달 게이트가 전달하는 데이터를 일시 저장하는 소오스 데이터 버퍼를 인에이블하는 신호가 각기 서로 다른 전파지연시간을 갖는 것이어도 된다.
- 28> 또한, 바람직하기로는 제 2 전달 게이트들과 소오스 데이터 버퍼들을 동시에 인에이블하기 위한 신호들이 몇개씩 그룹별로 묶어서 서로 다른 전파지연시간들을 갖게하는 것이어도 무방하다.
- 29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- 30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타내기 위하여 사용되었음을 유의하여야 한다.
- 31> 도 2는 본 발명의 일 실시예를 나타내는 도면이다. 도시된 바와 같이 본 발명의 구성은 이진정보를 정보를 저장하는 래치형의 메모리 셀 어레이(100~10m);
- 32> 메모리 셀들과 연결되는 비트(B)-비트바(B')라인 쌍들; 비트(B)-비트바(B')라인 쌍들의 한 쪽 끝에 연결되어 상기 메모리 셀들에 이진정보를 써넣기 위해 스위칭되는 제 1 전달 게이트들(210);

- > 제 1 전달 게이트들을 2^n (n 은 0을 포함한 양의 정수)단위로 묶어서 컬럼 어드레스에 의해 스위칭하기 위한 컬럼 어드레스를 이용하여 컬럼 선택 신호들(Y_0, Y_1, \dots);
- <4> 비트(B)-비트바(B')라인 쌍들의 다른 끝 쪽에 연결되어 상기 메모리 셀들에 저장된 이진 정보를 읽어내기 위해 스위칭되는 제 2 전달게이트들(220);
- <5> 제 2 전달게이트들의 스위칭 작용에 의해 메모리 셀 어레이로부터 데이터를 전달받아 저장하는 소오스 데이터 버퍼회로들($SB_0 \sim SB_m$)을 포함한다.
- <6> 디스플레이 패널(110)로 전달될 이진정보는 최초에 메모리 셀 어레이($100 \sim 10m$)에 저장된다. 정보의 저장은 제1 전달트랜지스터(210)들의 스위칭 동작에 의해 데이터 라인($D_0 \sim D_7$)들을 통해 이루어진다. 제1 전달트랜지스터(210)들의 선택은 하나의 동작 사이클 동안 컬럼 어드레스에 의해 전 컬럼 가운데 일부분만이 선택되어 스위칭된다. 일부 컬럼의 선택은 통상적인 DRAM이나 SRAM의 동작처럼 컬럼 어드레스에 의해 이루어 진다. 저장된 이진정보는 적당한 때에 제 2 전달 게이트들(220)을 통하여 소오스 데이터 버퍼(130)에 전달된다. 소오스 데이터 버퍼(130)로의 전달은 하나의 동작 사이클동안 모든 컬럼에서 이루어 진다.
- <37> 통상적인 반도체 메모리 장치와 본 발명의 디스플레이 패널 구동용 메모리 장치는 제 2 컬럼 선택 게이트 및 이로 부터 데이터를 전달받는 데이터 버퍼의 존재여부와, 그들의 동작여부에 있어서 차이점이 있음을 유의하여야 한다.
- <38> 도 2에 도시된 본 발명의 첫번째 실시예에서는 전술한 바와 같은 피크전류소비를 줄이기 위해 제 2 전달 게이트들(220)을 여러 개 그룹별로 서로 다른 지연신호를 갖도록 한다. 그룹지워진 서로 다른 시간 지연을 갖게된 신호($SDE_0 \sim SDE_n$)에 의해 선택된 컬럼의 데이터는 소오스 데이터 버퍼(130)로 전달되어 저장된다. 따라서 소오스 데이터 버퍼(130)의 동작도 제2전달

게이트들(220)의 지연동작에 연동되어 지연동작함으로써 전술한 바와 같은 피크전류의 감소효과를 얻어 전류소비를 분산시킬 수 있다.

9> 도 3은 본 발명의 두번째 실시예를 도시한 것이다. 도 3에 나타낸 회로는 도 2의 회로와 연결상태가 유사하나 소오스 데이터 버퍼(130) 및 제2 전달 게이트들에 접속된 신호들의 연결상태가 서로 다름을 유의하여야 한다. 도 3의 실시예에 있어서는, 메모리 셀 어레이(100~10m)에 저장된 정보를 소오스 데이터 버퍼(130)로 전달하기 위한 제2전달 게이트들(220)이 동시에 스위칭된다. 대신에 소오스 데이터 버퍼(130)가 동작을 시작하도록 하는 인에이블 신호들(SBE0~SBE_n)이 여러개 그룹별로 나뉘어져 서로 다른 지연시간(delay time)을 가지도록 되어 있다. 이에 따라 소오스 데이터 버퍼(130)회로들은 서로 다른 시간에 동작을 시작함으로써 소오스 데이터 버퍼(130) 회로의 동작으로 인한 전류소비는 적절히 분산되어 전술한 바와 같은 피크전류의 감소효과를 얻을 수 있다.

<40> 도 4는 본 발명의 세번째 실시예를 나타낸 것이다. 도 4 나타낸 회로는 도 2 및 도 3의 회로와 연결 상태가 유사하나 소오스 데이터 버퍼(130) 및 제2 전달 게이트들에 연결된 신호들의 상태가 서로 다르다. 도 4의 실시예에 있어서는, 제2전달 게이트들(220)과 소오스 데이터 버퍼(130)들이 함께 여러 개의 그룹으로 나뉘어진 후 그룹별로 동시에 스위칭된다. 각 그룹들을 인에이블하는 신호(SBDE0~SDBEn)들은 서로 다른 지연시간(delay time)을 가진다. 이에 따라 소오스 데이터 버퍼(130)회로들은 서로 다른 시간에 동작을 시작함으로써 소오스 데이터 버퍼(130) 회로의 동작에 의한 전류소비는 적절히 분산되어 이 또한 전술한 바와 같은 피크전류의 감소효과를 얻을 수 있다.

<41> 본 발명의 여러 실시예에 사용하는 인에이블 신호를 만드는 것은 간단하다. 도 6에서와 같이 소오스 데이터 버퍼 제어부(190)로 부터 발생하는 출력신호인 제0 지연신호에 여러개의

지연부를 직렬연결하면 각 지연부의 출력신호가 서로 적절한 지연시간을 갖는 인에이블 신호들이 된다. 이 신호들은 도 2 내지 도 4에 나타낸 각각의 소오스 버퍼 인에이블 신호와 일대일 대응하여 연결한다.

- 2> 지연 인에이블 신호를 만드는 회로는 인버터와 저항 및 커패시터와 같은 수동소자를 이용하여 꾸밀수 있다. 지연 신호를 만드는 방법은 잘 알려져 있고 본 발명의 주된 특징이 아니므로 상세한 설명은 생략한다.
- 13> 본 발명에 따른 효과를 검증해 보기 위해, 도 3에 도시된 본 발명의 지연 인에이블 회로 동작과 소오스 데이터 버퍼가 한꺼번에 인에이블되는 경우를 상호 비교하여 회로시뮬레이션하였다. 이 결과를 나타내는 전류파형을 도 5에 나타내었다. 본 발명의 회로동작의 경우, 소오스 데이터 버퍼가 한꺼번에 인에이블되는 경우보다 피크전류값이 40% 가량 저감되었음을 알 수 있다.
- 44> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- 45> 상술한 본 발명의 소오스 데이터 버퍼회로의 동작에 의하면, 버퍼 회로가 인에이블되어 동작을 시작할 때 소비전류가 분산되어 피크(peak)치의 전류값이 저감되는 효과가 있다.
- 46> 본 발명의 회로동작 방식에 의하면, 피크치의 전류가 줄어듦에 의해 회로의 접지전압이 보다 안정화되고 이에 따라 회로 동작 및 신호파형이 보다 안정되는 효과가 있다.

- 7> 본 발명의 또 다른 효과는 회로 접지전압의 안정화로 인해 보다 신뢰성 있는 디스플레이 패널 구동 시스템을 제공할 수 있게 되었다.

【특허청구범위】**【청구항 1】**

이진정보를 정보를 저장하는 메모리 셀 어레이;

상기 메모리 셀들과 연결되는 비트라인-비트바라인 쌍들;

상기 비트라인-비트바라인 쌍들의 한 쪽 끝에 연결되어 상기 메모리 셀들을 액세스하기 위해 스위칭되는 제 1 전달 게이트들;

상기 비트라인-비트바라인 쌍들의 다른 끝 쪽에 연결되어 상기 메모리 셀들에 저장된 이진정보를 읽어내기 위해 스위칭되는 제 2 전달게이트들;

상기 읽어낸 이진정보를 저장하기 위한 데이터 버퍼들;을 구비하고,

상기 제 2 전달게이트들을 스위칭하는 신호들은 하나의 인에이블 신호로 부터 파생되어 여러개로 그룹지워지고, 상기 각 그룹별 신호는 서로 다른 시간지연을 갖는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치.

【청구항 2】

이진정보를 정보를 저장하는 메모리 셀 어레이;

상기 메모리 셀들과 연결되는 비트라인-비트바라인 쌍들;

상기 비트라인-비트바라인 쌍들의 한 쪽 끝에 연결되어 상기 메모리 셀들을 액세스하기 위해 스위칭되는 제 1 전달 게이트들;

상기 비트라인-비트바라인 쌍들의 다른 끝 쪽에 연결되어 상기 메모리 셀들에 저장된 이진정보를 읽어내기 위해 스위칭되는 제 2 전달게이트들;

상기 읽어낸 이진정보를 저장하기 위한 데이터 버퍼들;을 구비하고,

상기 데이터 버퍼들을 인에이블하는 신호들은 하나의 인에이블 신호로 부터 파생되어 여러개로 그룹지어지고, 상기 각 그룹별 신호는 서로 다른 시간지연을 갖는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치.

【청구항 3】

이진정보를 정보를 저장하는 메모리 셀 어레이;

상기 메모리 셀들과 연결되는 비트라인-비트바라인 쌍들;

상기 비트라인-비트바라인 쌍들의 한 쪽 끝에 연결되어 상기 메모리 셀들을 액세스하기 위해 스위칭되는 제 1 전달 게이트들;

상기 비트라인-비트바라인 쌍들의 다른 끝 쪽에 연결되어 상기 메모리 셀들에 저장된 이진정보를 읽어내기 위해 스위칭되는 제 2 전달게이트들;

상기 읽어낸 이진정보를 저장하기 위한 데이터 버퍼들;을 구비하고,

상기 데이터 버퍼들을 인에이블하는 신호들과 상기 제 2 전달 게이트들을 스위칭하는 신호들은 서로 연결되며 하나의 인에이블 신호로 부터 파생되어 여러개로 그룹지어지고, 상기 각 그룹별 신호는 서로 다른 시간지연을 갖는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치.

【청구항 4】

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 서로 다른 시간지연은 반전기능을 갖는 논리회로가 포함된 회로에 의해 이루어지는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치.

【청구항 5】

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 서로 다른 시간지연은 커패시터, 저항 또는 이들의 조합에 의해 이루어지는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치.

【청구항 6】

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 제 1 전달 게이트들은 2^n (n 은 0을 포함한 양의 정수)단위로 묶여서 컬럼 어드레스에 의해 스위칭되는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치.

【청구항 7】

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 시간지연은 직렬연결된 복수 개의 지연부에 의해 생성되는 신호인 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치.

【청구항 8】

비트라인의 한쪽 끝에 연결되어 컬럼 어드레스에 의해 일부 선택되어 스위칭되는 제 1 전달게이트들을 통하여 메모리 셀 어레이에 데이터가 쓰여지고,

상기 비트라인의 또 다른 끝쪽에 연결된 제 2 전달게이트들의 스위칭 작용을 통해 상기 쓰여진 데이터를 데이터 버퍼에 전달하고,

상기 제 2 전달 게이트들의 상기 스위칭 동작은 그룹별로 나누어진 서로 다른 시간지연을 갖는 신호에 의해 이루어지는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치의 구동방법.

【청구항 9】

비트라인의 한쪽 끝에 연결되어 컬럼 어드레스에 의해 일부 선택되어 스위칭되는 제 1 전달게이트들을 통하여 메모리 셀 어레이에 데이터가 쓰여지고,

상기 비트라인의 또 다른 끝쪽에 연결된 제 2 전달게이트들의 스위칭 작용을 통해 상기 쓰여진 데이터를 데이터 버퍼에 전달하고,

상기 전달 데이터가 상기 데이터 버퍼에 저장되는 동작을 지시하는 신호들은 그룹별로 나누어진 서로 다른 시간지연을 갖는 신호인 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치의 구동방법.

【청구항 10】

비트라인의 한쪽 끝에 연결되어 컬럼 어드레스에 의해 일부 선택되어 스위칭되는 제 1 전달게이트들을 통하여 메모리 셀 어레이에 데이터가 쓰여지고,

상기 비트라인의 또 다른 끝쪽에 연결된 제 2 전달게이트들의 스위칭 작용을 통해 상기 쓰여진 데이터를 데이터 버퍼에 전달하고,

상기 제 2 전달 게이트들과 이에 각각 대응하는 데이터 버퍼들은 그룹별로 나누어진 서로 다른 시간지연을 갖는 신호에 의해 동시에 동작하는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치의 구동방법.

【청구항 11】

제 8항 내지 제 10항 중 어느 한 항에 있어서, 상기 서로 다른 시간지연은 반전기능을 갖는 논리회로가 포함된 회로에 의해 이루어지는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치의 구동방법.

【청구항 12】

제 8항 내지 제 10항 중 어느 한 항에 있어서, 상기 서로 다른 시간지연은 커패시터, 저항 또는 이들의 조합에 의해 이루어지는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치의 구동방법.

【청구항 13】

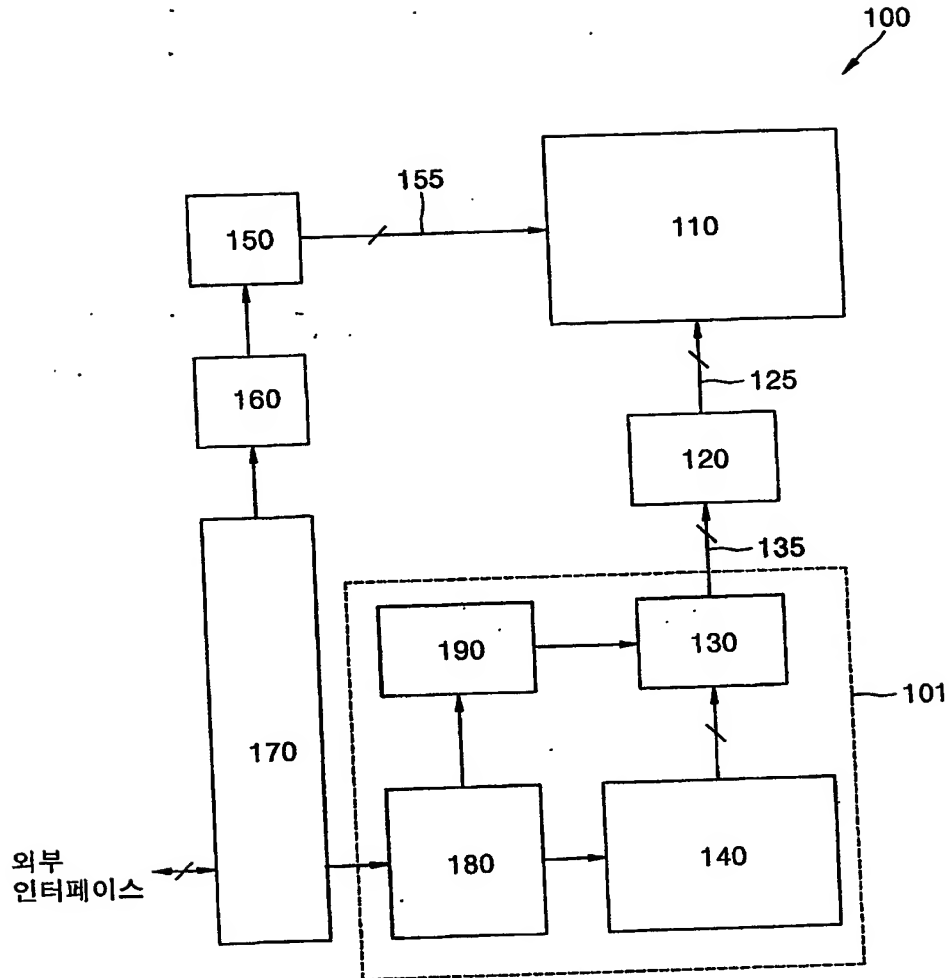
제 8항 내지 제 10항 중 어느 한 항에 있어서, 상기 제 1 전달 게이트들은 2^n (n 은 0을 포함한 양의 정수)단위로 묶여서 컬럼 어드레스에 의해 스위칭되는 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치의 구동방법.

【청구항 14】

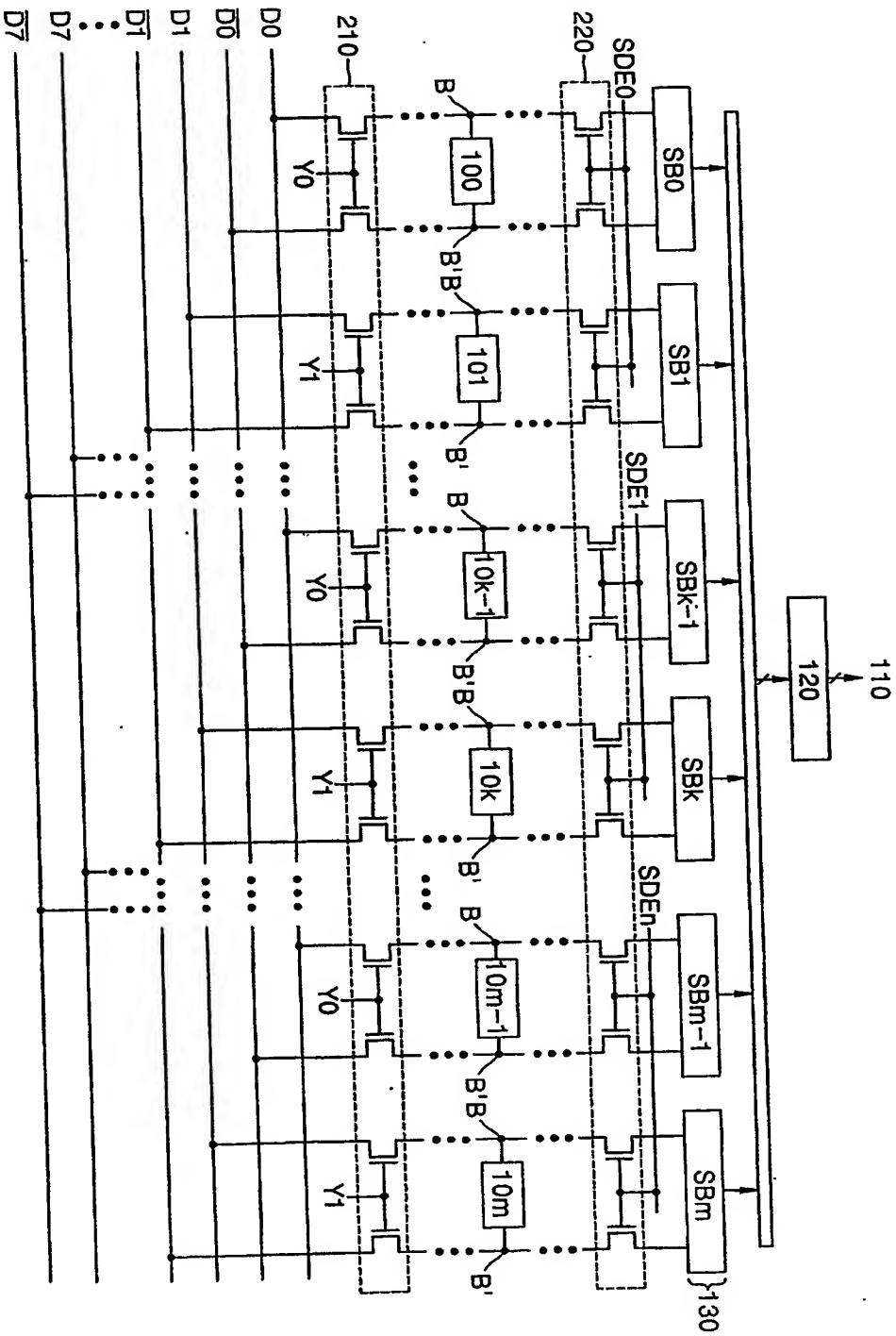
제 8항 내지 제 10항 중 어느 한 항에 있어서, 상기 시간지연은 직렬연결된 복수 개의 지연부에 의해 생성되는 신호인 것을 특징으로 하는 디스플레이 패널 구동용 메모리 장치의 동작방법.

【도면】

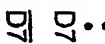
【도 1】



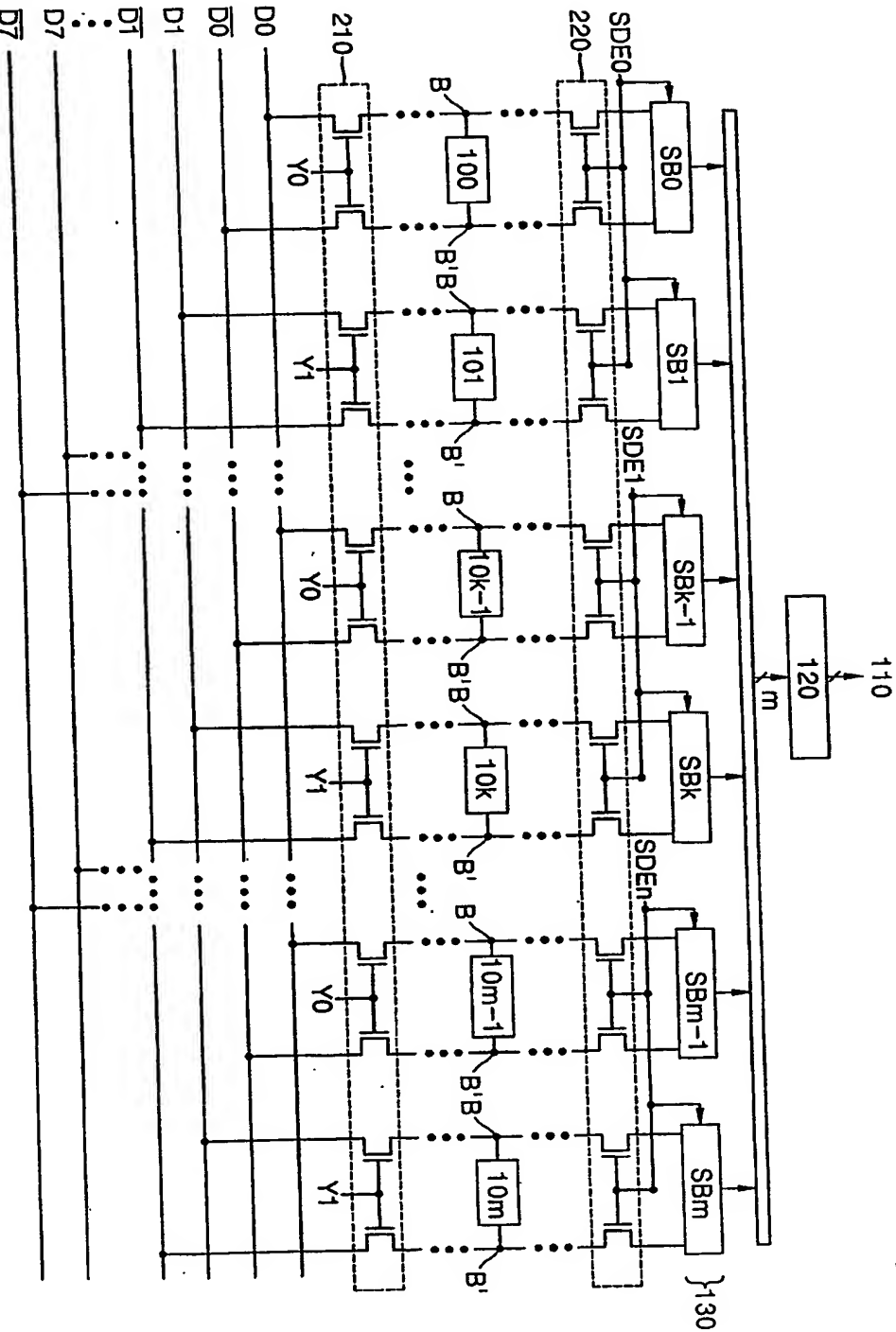
【H 2】



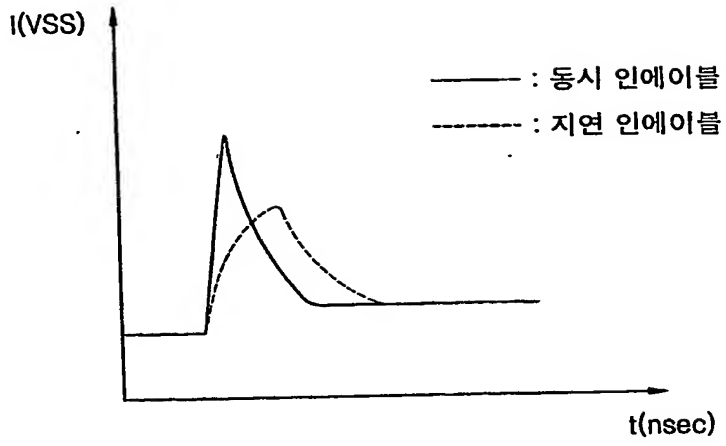
D7
D7



【H 4】



【도 5】



【도 6】

